

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-306917
 (43)Date of publication of application : 28.11.1997

(51)Int.CI. H01L 21/321
 H01L 21/60

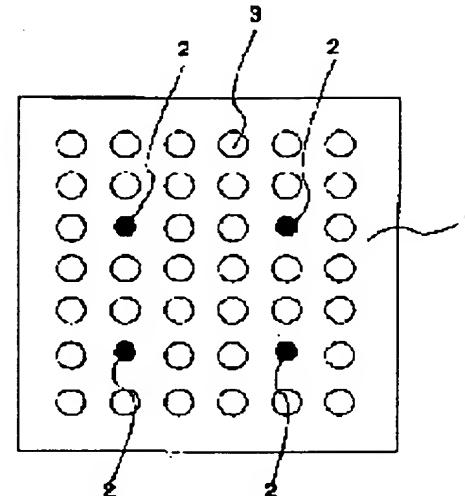
(21)Application number : 08-117209 (71)Applicant : HITACHI LTD
 (22)Date of filing : 13.05.1996 (72)Inventor : UENO SATOSHI
 HAYASHI TERUYOSHI
 HARADA TAKU

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the high-frequency transmitting characteristic of a semiconductor integrated circuit device and to obtain the excellent separation-proof quality between its semiconductor chip and its package, by making the areas of its high-frequency inputting/outputting pads used for the inputs/outputs of high-frequency signals smaller than the areas of its other pads unused for the inputs/outputs of the high-frequency signals.

SOLUTION: Pads 2, 3 provided on a semiconductor chip 1 and metallic electrodes provided on a package are connected by solder bumps. In such a semiconductor integrated circuit device, among the pads 2, 3, the areas of the high-frequency inputting/outputting pads 2 used for the inputs/outputs of high-frequency signals are made smaller than the areas of the other pads 3 unused for the input/outputs of the high-frequency signals. Further, for example, in the periphery of the high-frequency inputting/ outputting pad 2, the other pads 3 are provided necessarily. Therefore, by suppressing the attenuation of the high-frequency signal in the section of the high-frequency inputting/outputting pad 2, the signal transmitting characteristics of the device is improved and the bonding strength of the periphery of the high-frequency inputting/outputting pad 2 can be prevented from lowering.



LEGAL STATUS

[Date of request for examination] 07.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-306917

(43)公開日 平成9年(1997)11月28日

(51)Int.Cl. ⁶	職別記号	府内整理番号	F I	技術表示箇所
H 01 L 21/321			H 01 L 21/92	6 0 2 J
21/60	3 1 1		21/60	3 1 1 S
			21/92	6 0 2 P
				6 0 4 C

審査請求 未請求 請求項の数 5 OL (全 10 頁)

(21)出願番号 特願平8-117209

(22)出願日 平成8年(1996)5月13日

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72)発明者 上野 聰
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(72)発明者 林 輝義
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(72)発明者 原田 卓
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(74)代理人 弁理士 筒井 大和

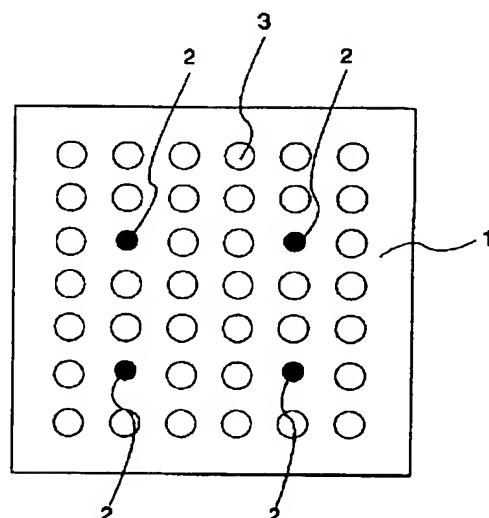
(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57)【要約】

【課題】 超高周波領域において伝送信号の減衰を少な
くし、かつ、半導体チップとパッケージとの接着性を向
上する。

【解決手段】 半導体チップ1上に設けられたパッドの
うち、高周波信号の入出力に使用する高周波入出力パッ
ド2の面積を、他のパッド3の面積よりも小さくす
る。また、高周波入出力パッド2の隣接する周辺には、
面積の大きい他のパッド3を配置する。

図 1



1:半導体チップ
2:高周波入出力パッド
3:その他のパッド

【特許請求の範囲】

【請求項1】 半導体チップ上に設けられたパッドと、パッケージ上に設けた金属電極とが、はんだバンプにより接続される半導体集積回路装置であって、前記パッドのうち、高周波信号の入出力に用いられる高周波入出力パッドの面積が、高周波信号の入出力に用いられないその他のパッドの面積と比較して小さいことを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、

前記高周波入出力パッドの周辺には前記その他のパッドが配置されていることを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2記載の半導体集積回路装置であって、前記はんだバンプに用いられる材料の量は、前記高周波入出力パッドおよび前記その他のパッドにおいて均一であることを特徴とする半導体集積回路装置。

【請求項4】 請求項1または2記載の半導体集積回路装置であって、

前記はんだバンプに用いられる材料の量は、前記高周波入出力パッドおよび前記その他のパッドの面積に比例して増減されていることを特徴とする半導体集積回路装置。

【請求項5】 請求項1、2、3または4記載の半導体集積回路装置の製造方法であって、

(a) 半導体ウェハ上に前記高周波入出力パッドおよび前記その他のパッドを形成する工程、

(b) 前記高周波入出力パッドおよび前記その他のパッドが形成されていない半導体ウェハ上にレジストを形成する工程、

(c) 前記高周波入出力パッドおよび前記その他のパッドならびに前記レジスト上にはんだを形成する工程、

(d) 前記レジストをその上層に形成されたはんだとともに除去する工程、

(e) 前記半導体ウェハを加熱して、前記高周波入出力パッドおよび前記その他のパッド上に形成されたはんだをボール状に整形する工程、

を有し、前記(b)の工程において形成されるレジストのパターンにより、前記高周波入出力パッドおよび前記その他のパッド上に形成されるはんだバンプの材料の量を調節することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置およびその製造方法に関し、特に、パッケージと半導体集積回路とを接続するパッドの影響を受けて発生する信号損失の抑制に適用して有効な技術に関するものである。

【0002】

【従来の技術】 近年、半導体集積回路装置の超高周波領域での使用の要求が高まっている。このような半導体集積回路装置は、たとえばベースバンド光通信のように10 Gb/s もの高速の伝送速度を必要とする光伝送用の広帯域増幅器を構成する場合等に用いられる。

【0003】 ところで、半導体集積回路装置を構成する半導体チップをセラミック基板や樹脂基板等のパッケージにマウントする際に、フリップチップ方式の接続方式 (FCB) が、採用されるようになってきている。この方式においては、半導体集積回路装置のサイズを理想的にはチップサイズにまで小さくすることが可能であり、半導体集積回路装置を用いた回路全体を小さくすることが可能となる利点を有する。このような半導体集積回路装置の縮小化は、高密度実装技術への適用性を高めると同時に、高周波用途において回路を集中定数的に取り扱うことができるというメリットを有する。

【0004】 フリップチップ方式の接続方式については、工業調査会「IC化実装技術」(1980年1月15日発行) p175およびp84、あるいは株式会社オーム社発行、「LSIハンドブック」(昭和59年11月30日発行)、p409～p410に詳細に記載されているが、以下簡単に説明する。

【0005】 フリップチップ方式の接続方式において、半導体チップとパッケージとの電気的接続には突起電極が使用される。

【0006】 この突起電極を有する半導体チップの実装は、CCB(Controlled Collapse Bonding)実装あるいはTAB(Tape Automated Bonding)実装として知られている。

【0007】 突起電極は、その突起部分がPbSn合金等からなるバンプで構成され、その下地にスパッタ等により形成されたCr/Cu等のバンプ下地金属(BLM)を介在させて設置するようになっているのが一般的である。バンプはパターニングされたレジストをマスクとして、あるいは金属マスクを使用して蒸着等により形成されるのが一般的である。

【0008】

【発明が解決しようとする課題】 前記のFCB技術を超高周波用途の半導体集積回路装置に適用するに際して、本発明者らは実験および検討を行い、以下のような問題点があることを認識した。

【0009】 第1に、パッケージと半導体チップとを接続する際に用いられる半導体チップ上のパッド部分の伝送特性が、半導体集積回路装置の高周波伝送特性に大きな影響を与えるという点である。

【0010】 すなわち、パッドの浮遊容量および基板抵抗により信号伝送の損失を生じ、周波数が高くなるに従って信号減衰が大きくなるという問題である。図17に代表的なパッド部分における信号減衰量の周波数依存性

を示す。信号周波数がある程度低い場合は、信号減衰量が小さいため無視できる。しかし、超高周波領域たとえば10GHz程度の周波数で使用する場合には信号減衰量が大きく、半導体集積回路装置の伝送特性に大きな影響を与えててしまう。

【0011】つまり、広帯域増幅器等を構成する半導体集積回路装置に適用した場合、増幅器の利得の帯域内偏差を抑制することが困難になるという不具合が発生する。言い換えると、パッドによる損失量が周波数によって異なるため、増幅器の利得を一定に保つように設計しても、入出力部にパッドがあるがために、その利得を広い帯域にわたって一定に保つことが難しくなる。この結果、利得が周波数特性を有するようになり、特に高周波帯域の利得が低周波帯域の利得よりも低下し、いわゆる利得の帯域内偏差が生ずるという問題を生じる。

【0012】パッド部分の伝送特性を改善する手法としては、パッドと基板間のインピーダンスを大きくすることが考えられ、パッド面積を縮小することにより可能である。しかし、パッド面積を縮小すると半導体チップとパッケージとの接着力が低下し、半導体集積回路装置の長時間使用により、パッドまたはパンプが半導体チップからはがれてしまい、パッケージと半導体集積回路の電気的な接続が不可能になる。従って、パッケージと半導体チップとの接続の高い信頼性を確保することが困難となってしまう。これが第2の問題点である。

【0013】このように、増幅器において、利得の帯域内偏差が生ずると、特に広帯域を用いているシステムでは利得の帯域内偏差がそのまま伝送特性の劣化として現れるため、情報を正確かつ、高速に伝送する上で支障が生じる。一方、パッケージと半導体チップとの接続強度が弱い場合、信頼性が劣化し、長時間使用に耐えることが不可能となる。

【0014】本発明の目的は、パッケージと半導体チップとがFCBによって接続された半導体集積回路装置の高周波伝送特性を改善し、かつ、半導体集積回路装置の信頼性を維持する技術を提供することにある。

【0015】本発明の他の目的は、パッケージにFCBによって接続される半導体チップの、パッド部分の伝送特性を改善し、かつ、半導体チップとパッケージとの耐剥離性に優れた半導体集積回路装置およびその製造方法を提供することにある。

【0016】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0017】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0018】(1) 本発明の半導体集積回路装置は、半導体チップ上に設けられたパッドとパッケージ上に設け

た金属電極とがはんだバンプにより接続される半導体集積回路装置であって、パッドのうち高周波信号の入出力に用いられる高周波入出力パッドの面積が、高周波信号の入出力に用いられないその他のパッドの面積と比較して小さいものである。

【0019】このような半導体集積回路装置によれば、半導体チップ上に設けられたパッドのうち、高周波信号の入出力に用いられる高周波入出力パッドのみをその他のパッドよりも小さな面積とするため、高周波入出力パッド部分の伝送特性を改善するとともに、半導体チップとパッケージとの接着強度は従来どおりに維持することが可能である。

【0020】すなわち、高周波入出力パッドの面積を縮小することにより、その浮遊容量を小さくし、高周波入出力パッドと半導体基板との間のインピーダンスを高めて高周波伝送特性を改善すると同時に、その他のパッドについては従来どおりの面積とすることにより半導体チップとパッケージとの接着性を確保するものである。

【0021】半導体チップに設けられた全パッドのうち、高周波入出力パッドの占める割合は、一般に大きくないため、高周波入出力パッドの面積を小さくしても全体の接着強度に与える影響はあまり大きくない。一方、半導体集積回路装置の帯域劣化の主要因は高周波入出力パッドであって、その他のパッドは帯域劣化に全く影響していない。そこで、高周波入出力パッドのみの面積を小さくして、帯域劣化と耐剥離性低下とを同時に対策したものである。

【0022】つまり、パッドによる信号減衰を抑制し、応力強度に優れた半導体集積回路装置が実現可能である。

【0023】(2) 本発明の半導体集積回路装置は、前記(1)記載の半導体集積回路装置であって、高周波入出力パッドの周辺には、それ以外のパッドが配置されているものである。

【0024】このような半導体集積回路装置によれば、高周波入出力パッドの周辺にそれ以外のパッドを配置したため、半導体集積回路装置の信頼性をさらに高めることができる。

【0025】半導体チップとパッケージとの全体の接着強度は、(1)に記載のとおり、高周波入出力パッド以外のパッドの面積を従来どおりとすることにより担保することができるが、高周波入出力パッドが特定の領域に集まって配置された場合には、その領域に半導体チップとパッケージとの熱膨張の差等によるストレスの集中が発生する可能性がある。このようなストレスの集中がある場合には、接着強度の弱い高周波入出力パッド部分に剥離が発生する可能性がある。このような剥離は半導体集積回路装置の信頼性を低下させる要因となる。

【0026】そこで、本発明では、高周波入出力パッドの周辺にそれ以外のパッドを配置することによって、高

周波入出力パッド周辺の接着強度低下を防止し、高周波入出力パッドの剥離発生を防止して、半導体集積回路装置の信頼性を高めるものである。

【0027】(3) 本発明の半導体集積回路装置は、前記(1)または(2)記載の半導体集積回路装置であって、はんだバンプに用いられる材料の量は、高周波入出力パッドおよびそれ以外のパッドにおいて均一としているものである。

【0028】このような半導体集積回路装置によれば、はんだボール用に供給するはんだの量を均一としても、はんだによる表面張力のため、大きさの異なるパッドが混同した場合でも、良好なはんだボールの形成が可能である。さらに、パッケージとの接続を行う際に、はんだボールはボールの潰れる量を自己制御してボールの高さを均一とするため、すべてのパッドとパッケージとの接続は均一にすることができる。

【0029】この場合、はんだ量をパッドの面積に応じて調整する必要がないため、はんだ量調整のための条件出し等の作業が不要である。

【0030】(4) 本発明の半導体集積回路装置は、前記(1)または(2)記載の半導体集積回路装置であって、はんだバンプに用いられる材料の量は、パッドの面積に比例して増減されているものである。

【0031】このような半導体集積回路装置によれば、はんだバンプに用いられる材料の量をパッドの面積に比例して増減するため、バンプの高さを均一に揃えることができる、このため、半導体チップとパッケージとの接続を行う際のリフローを、より確実に行うことができる。

【0032】(5) 本発明の半導体集積回路装置の製造方法は、前記(1)～(4)記載の半導体集積回路装置の製造方法であって、(a) 半導体ウェハ上に高周波入出力パッドおよびその他のパッドを形成する工程、

(b) 高周波入出力パッドおよびその他のパッドが形成されていない半導体ウェハ上にレジストを形成する工程、(c) 高周波入出力パッドおよびその他のパッドならびにレジスト上にはんだを形成する工程、(d) レジストをその上層に形成されたはんだとともに除去する工程、(e) 半導体ウェハを加熱して、高周波入出力パッドおよびその他のパッド上に形成されたはんだをボール状に整形する工程、を有し、(b)の工程において形成されるレジストのパターンにより、高周波入出力パッドおよびその他のパッド上に形成されるはんだバンプの材料の量を調節することを特徴とするものである。

【0033】このような、レジストのパターンによりパッド上に形成されるはんだの量を調整するため、容易にはんだ量を調整することができる。

【0034】この場合、レジストパターンを均一としてはんだ量を全てのパッドに対して同一とすることも可能であり、また、レジストパターンをパッド面積に比例す

るよう調整してパッド上に形成されるはんだバンプの高さを揃えることも可能である。

【0035】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0036】(実施の形態1) 図1は、本発明の一実施の形態である半導体集積回路装置の一例を示した上面図である。

【0037】半導体チップ1上には、高周波入出力パッド2(黒丸)およびその他のパッド3(白丸)が形成されている。高周波入出力パッド2の面積は、その他のパッド3の面積よりも小さくなっている。その結果、高周波入出力パッド2の部分での高周波信号の減衰を抑制し、半導体集積回路装置の信号伝送特性を改善することができる。

【0038】高周波入出力パッド2の面積縮小による高周波伝送特性の改善について、図2～図4を用いてさらに詳しく説明する。

【0039】図2は、半導体チップ上の一般的なパッドを示した断面図であり、図3は、図2におけるパッド部分の等価回路を示した回路図である。

【0040】高周波入出力パッド2あるいはその他のパッド3であるパッド4は、半導体基板5上に酸化シリコン等の絶縁体である層間膜6を介して形成されている。

【0041】パッド4は、半導体基板5との間に層間膜6を介してパッド容量 C_{ox} を形成し、半導体基板5は、抵抗 R_s と基板容量 C_s との並列回路と等価である。結局、パッド4は、図3に示すように、抵抗 R_s と基板容量 C_s との並列回路にパッド容量 C_{ox} が直列に接続されたものと等価な回路を介して接地されていることとなる。つまり、パッド4に寄生するパッド容量 C_{ox} および抵抗 R_s が信号伝達ラインに付加されることになり、その寄生素子による信号減衰の影響により信号伝送に大きな影響を与えることとなる。

【0042】信号減衰を防止するためには、信号伝達ラインに付加された寄生素子の影響が無視できるようになれば良い。そのためには、パッド4のインピーダンス Z が十分大きい値にならなければならない。

【0043】パッド4と接地間とのインピーダンス Z は、前記等価回路より、 $Z = 1/j\omega C_{ox} + 1/(1/R_s + j\omega C_s)$ となる。(但し、 ω は角周波数である。)

この式から、Zを大きくするためには、 ω 、 C_{ox} または C_s を小さく、あるいは R_s を大きくする必要がある。しかし、本来高周波での使用を目的としていることから ω を大きくすることはできず、また、 R_s 、 C_s の変更は、半導体基板5の物性に関係することからこれを変えることは難しい。そこで、 C_{ox} を小さくすることが最も現実的かつ有効な手段である。すなわち、 C_{ox} は、パッド4の形状の幾何学的な変更のみでその値を変

えること、つまり、その面積の縮小により C_{o-x} の値をほぼ比例的に小さくすることができる。

【0044】図4にパッド4の大きさを変えた場合の信号損失の変化を示す。曲線7は、従来のパッド面積と同等の面積の場合の信号損失を示し、曲線8は、パッド面積を小さくした場合の信号損失を示す。パッド面積を小さくした方が信号損失が小さくなっていることが判る。

【0045】本実施の形態1では、高周波入出力パッド2の信号損失が曲線8に対応し、その他のパッド3の信号損失が曲線7に対応するものである。このように、本実施の形態1では、高周波入出力パッド2における信号損失を小さくし、半導体集積回路装置の高周波特性を改善することができる。

【0046】一方、パッド面積の縮小を高周波入出力パッド2に限り、その他のパッド3の面積を従来と同様とすることにより、半導体チップ1とパッケージとの接着力を従来と同等に保持することができる。すなわち高周波入出力パッド2の数は、その他もパッド3の数に比べて少なく、高周波入出力パッド2の面積を縮小することによる接着性の低下は無視できるレベルとすることができる。

【0047】また、本実施の形態1の半導体集積回路装置では、高周波入出力パッド2の周辺にその他のパッド3が配置されるようになっている。言い換えると、高周波入出力パッド2が隣接して配置されることがない。

【0048】このように高周波入出力パッド2とその他のパッド3を配置することにより、半導体チップ1とパッケージとの全体の接着力を保持するのみならず、高周波入出力パッド2の接着力を確保して、半導体集積回路装置の信頼性を高めることができる。

【0049】次に、本実施の形態1の半導体集積回路装置の製造方法について、図5～図11に従って説明する。

【0050】図5～図11は、本実施の形態1の半導体集積回路装置の製造方法の一例について、工程順に示した断面図である。

【0051】まず、半導体基板5の主面に、公知の技術を用いて、MOSIC、バイポーラIC等の半導体集積回路素子および配線9を形成し、層間膜6を形成する。さらに、層間膜6の所定の領域にコンタクトホール10を開口し、パッド用金属膜11を形成する（図5）。

【0052】パッド用金属膜11は、単層あるいは複数層で形成することができる。また、形成方法として、蒸着法あるいはスパッタ法等を用いることができる。

【0053】次に、リソグラフィ技術を用いて、高周波入出力パッド2およびその他のパッド3を形成する（図6）。

【0054】このとき、パッド面積は、マスクパターンを調整することにより決定することができる。

【0055】次に、高周波入出力パッド2およびその他

のパッド3が形成された半導体基板5の主面上にレジスト膜を塗布し、リソグラフィ技術を用いて、高周波入出力パッド2およびその他のパッド3の周辺のレジストを除去し、高周波入出力パッド2およびその他のパッド3の間にレジストパターン12を形成する（図7）。

【0056】次に、レジストパターン12が形成された半導体基板5の主面上に、はんだ膜13を全面に形成する（図8）。

【0057】はんだ膜13は、スパッタ法、蒸着法等を用いて形成することができる。

【0058】次に、その上にはんだ膜13が形成されたレジストパターン12を、上層のはんだ膜13とともにリフトオフにて除去し、はんだパターン14を形成する（図9）。

【0059】このとき、はんだパターン14の面積は均一とすることができる。はんだパターン14の面積を均一とすることにより、条件出し等の煩雑な作業を省略し、製造工程を簡略化することができる。

【0060】次に、半導体基板5全体にアニール処理を行い、はんだパターン14を溶かす。はんだパターン14は表面張力により、球形となり、CCB接続用のはんだボール15が形成される（図10）。

【0061】このとき、パッドの、面積が異なっても、はんだの表面張力により全てのパッド上に良好なボールが形成される。

【0062】最後に、はんだボール15が形成された半導体基板5、すなわち半導体チップ1とパッケージ16とを接続する。なお、本実施の形態1では、すべてのパッドについてはんだの量を均一にするため、高周波入出力パッド2ではその面積が小さいことより、はんだボール15の高さが他のパッド3よりも高くなるが、再度、はんだ溶解を行う為、その表面張力により、はんだの溶れる量が自動的に制御され、均一なパッケージ接続が可能となる。

【0063】本実施の形態1の半導体集積回路装置またはその製造方法によれば、以下のような効果が得られる。

【0064】（1）高周波信号の入出力に用いる高周波入出力パッド2のみの面積を小さくするため、高周波入出力パッド2部分の伝送特性を改善するとともに、半導体チップ1とパッケージ16との接着強度を従来どおりに維持することができる。

【0065】なお、接着強度の評価は、-55℃、10分と150℃、10分の温度サイクル試験により評価を行い、剥離発生が認められず、また、従来の半導体集積回路装置の接着性に比べて遜色のないことが確かめられている。

【0066】（2）高周波入出力パッド2の周辺にその他のパッド3を配置するため、高周波入出力パッド2部分の剥離を防止し、半導体集積回路装置の信頼性を高め

ことができる。

【0067】(3) はんだボール15用に供給するはんだの量を均一とするため、レジストパターン12を形成する際の条件出しを省略し、工程を簡略化することができる。

【0068】(4) 大きさの異なるパッドが混在しても、はんだによる表面張力のため、良好なはんだボール15の形成が可能である。また、パッケージ16との接続を行う際に、はんだボール15の高さに不均一が存在しても、はんだボール15は、ボールの潰れる量を自己制御してボールの高さを均一とするため、すべてのパッドとパッケージ16との接続を均一にすることができる。

【0069】(実施の形態2) 本実施の形態2の半導体集積回路装置は、パッドの面積に応じてはんだの量を調節するものであること以外は、実施の形態1で説明した半導体集積回路装置と同様の構成を有するものである。よって、その構成の相違する部分を主に説明し、構成の同様な部分については、説明を省略する。

【0070】本実施の形態2の半導体集積回路装置の製造方法の他の例を、図12～図16に従って説明する。

【0071】図12～図16は、本実施の形態2の半導体集積回路装置の製造方法の他の例について、工程順に示した断面図である。

【0072】半導体基板5の主面への半導体集積回路素子、配線9、層間膜6、コンタクトホール10およびパッド用金属膜11の形成は、実施の形態1と同様である。

【0073】また、高周波入出力パッド2および他のパッド3の形成についても実施の形態1と同様である。

【0074】次に、高周波入出力パッド2および他のパッド3が形成された半導体基板5の主面上にレジスト膜を塗布し、リソグラフィ技術を用いて、高周波入出力パッド2および他のパッド3の周辺のレジストを除去し、高周波入出力パッド2および他のパッド3の間にレジストパターン17を形成する(図12)。

【0075】このとき、レジストパターン17は、その開口が、パッド面積に比例するように調整する。すなわち、面積の小さい高周波入出力パッド2の開口は、面積の大きい他のパッド3の開口よりも小さくする。

【0076】次に、レジストパターン12が形成された半導体基板5の主面上に、はんだ膜13を全面に形成する(図13)。

【0077】はんだ膜13は、スパッタ法、蒸着法等を用いて形成することができる。

【0078】次に、その上にはんだ膜13が形成されたレジストパターン12を、上層のはんだ膜13とともにリフトオフにて除去し、はんだパターン18を形成する(図14)。

【0079】次に、半導体基板5全体にアニール処理を行い、はんだパターン18を溶かす。はんだパターン18は表面張力により、球形となり、CCB接続用のはんだボール19が形成される(図15)。

【0080】このとき、パッドの、面積が異なっても、面積に応じたはんだの量を調節しているため、はんだボール19の高さはパッド面積によらず均一となっている。

【0081】最後に、はんだボール19が形成された半導体基板5、すなわち半導体チップ1とパッケージ16とを接続する。なお、本実施の形態2では、パッドの面積に応じてはんだの量を調節しており、はんだボール19の高さは均一なものである。

【0082】従って、本実施の形態2では、半導体チップ1とパッケージ16との接続を大変良好に行うことができる。

【0083】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0084】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0085】(1) 半導体チップ上に設けられたパッドのうち、高周波信号の入出力に用いられる高周波入出力パッドのみをその他のパッドよりも小さな面積とするため、高周波入出力パッド部分の伝送特性を改善するとともに、半導体チップとパッケージとの接着強度は従来どおりに維持することが可能である。その結果、半導体集積回路装置として広帯域増幅器を構成する場合に、信頼性低下を招くことなく、パッドの影響を受けて生じる利得の帯域内偏差を抑制することができる。

【0086】(2) 高周波入出力パッドの周辺にそれ以外のパッドを配置したため、半導体集積回路装置の信頼性をさらに高めることができる。

【0087】(3) はんだボール用に供給するはんだの量を均一としても、はんだによる表面張力のため、大きな異なるパッドが混同した場合でも、良好なはんだボールの形成が可能である。さらに、パッケージとの接続を行う際に、はんだボールはボールの潰れる量を自己制御してボールの高さを均一とするため、すべてのパッドとパッケージとの接続は均一にすることができる。

【0088】この場合、はんだ量をパッドの面積に応じて調整する必要がないため、はんだ量調整のための条件出し等の作業が不要である。

【0089】(4) はんだバンプに用いられる材料の量をパッドの面積に比例して増減するため、バンプの高さを均一に揃えることができる、このため、半導体チップ

とパッケージとの接続を行う際のリフローを、より確実に行うことができる。

【0090】(5) レジストのパターンによりパッド上に形成されるはんだの量を調整するため、容易にはんだ量を調整することができる。

【0091】この場合、レジストパターンを均一としてはんだ量を全てのパッドに対して同一とすることも可能であり、また、レジストパターンをパッド面積に比例するように調整してパッド上に形成されるはんだバンプの高さを揃えることも可能である。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の一例を示した上面図である。

【図2】半導体チップ上の一一般的なパッドを示した断面図である。

【図3】図2におけるパッド部分の等価回路を示した回路図である。

【図4】パッド4の大きさを変えた場合の信号損失の変化を示したグラフである。

【図5】本実施の形態1の半導体集積回路装置の製造方法の一例について、工程順に示した断面図である。

【図6】本実施の形態1の半導体集積回路装置の製造方法の一例について、工程順に示した断面図である。

【図7】本実施の形態1の半導体集積回路装置の製造方法の一例について、工程順に示した断面図である。

【図8】本実施の形態1の半導体集積回路装置の製造方法の一例について、工程順に示した断面図である。

【図9】本実施の形態1の半導体集積回路装置の製造方法の一例について、工程順に示した断面図である。

【図10】本実施の形態1の半導体集積回路装置の製造方法の一例について、工程順に示した断面図である。

【図11】本実施の形態1の半導体集積回路装置の製造方法の一例について、工程順に示した断面図である。

【図12】本実施の形態2の半導体集積回路装置の製造

方法の他の例について、工程順に示した断面図である。

【図13】本実施の形態2の半導体集積回路装置の製造方法の他の例について、工程順に示した断面図である。

【図14】本実施の形態2の半導体集積回路装置の製造方法の他の例について、工程順に示した断面図である。

【図15】本実施の形態2の半導体集積回路装置の製造方法の他の例について、工程順に示した断面図である。

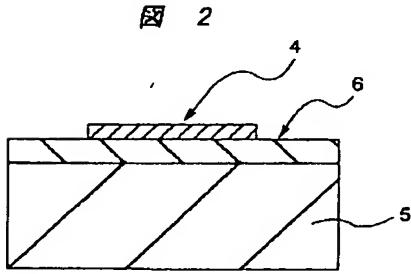
【図16】本実施の形態2の半導体集積回路装置の製造方法の他の例について、工程順に示した断面図である。

【図17】代表的なパッド部分における信号減衰量の周波数依存性を示したグラフである。

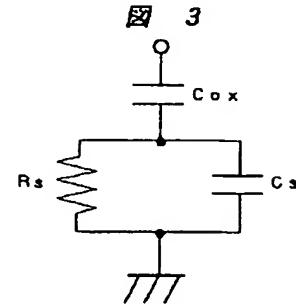
【符号の説明】

- 1 半導体チップ
- 2 高周波入出力パッド
- 3 その他のパッド
- 4 パッド
- 5 半導体基板
- 6 層間膜
- 7, 8 曲線
- 9 配線
- 10 コンタクトホール
- 11 パッド用金属膜
- 12 レジストパターン
- 13 はんだ膜
- 14 はんだパターン
- 15 はんだボール
- 16 パッケージ
- 17 レジストパターン
- 18 はんだパターン
- 19 はんだボール
- C_{ox} パッド容量
- C_s 基板容量
- R_s 抵抗
- Z インピーダンス

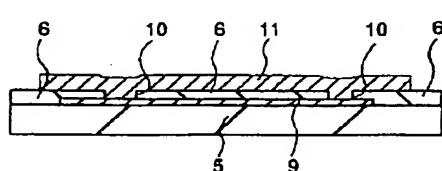
【図2】



【図3】

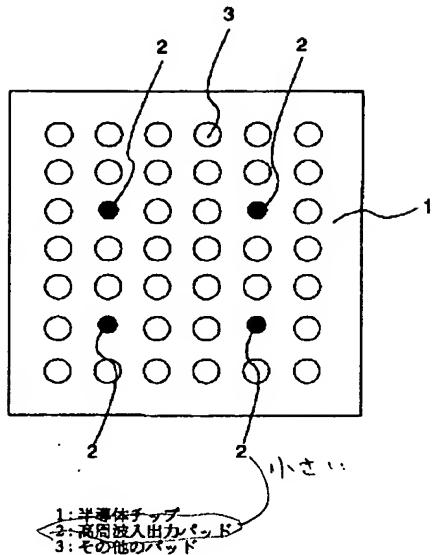


【図5】



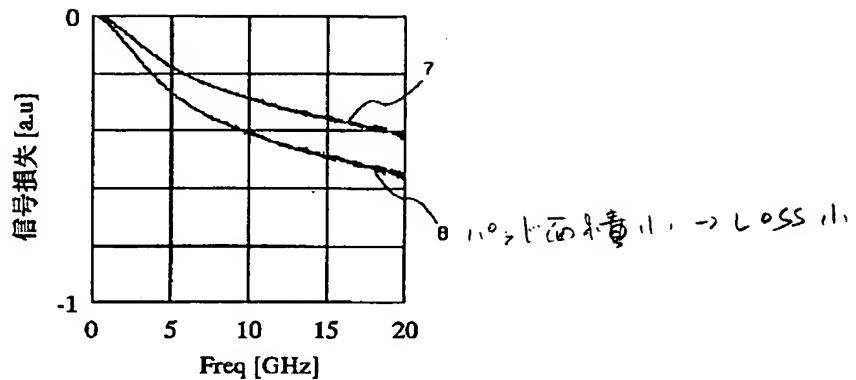
【図1】

図1



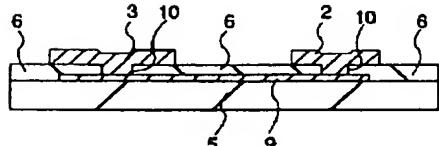
【図4】

図4



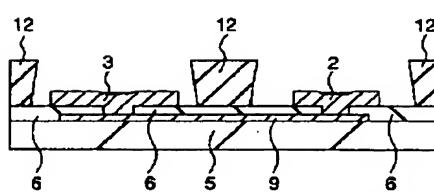
【図6】

図6



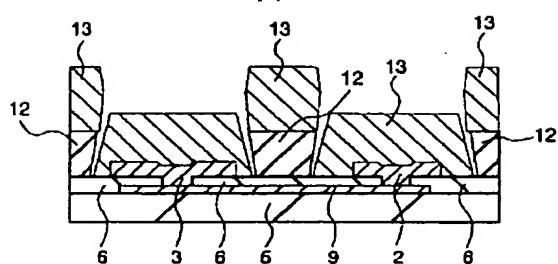
【図7】

図7



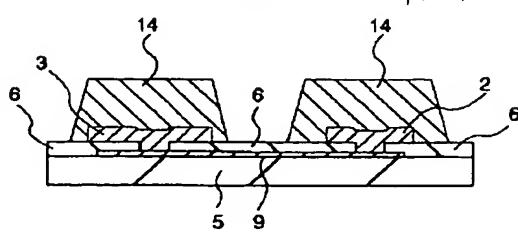
【図8】

図8



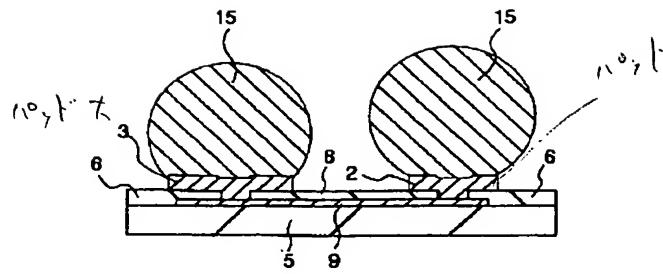
【図9】

図9



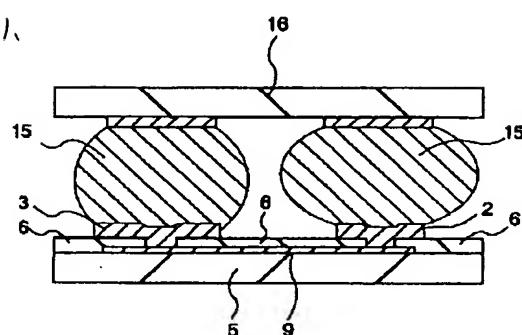
【図10】

図 10



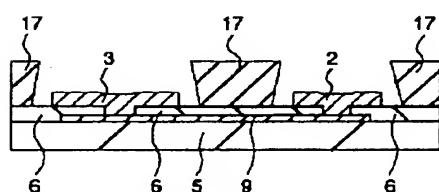
【図11】

図 11



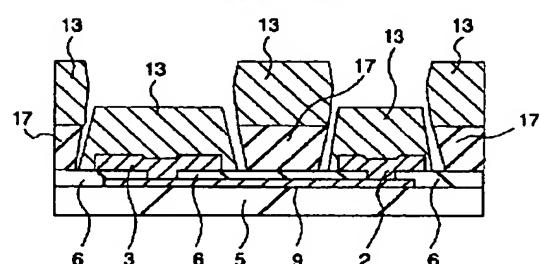
【図12】

図 12



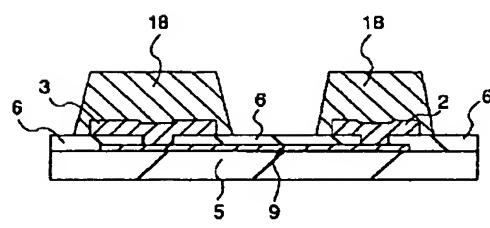
【図13】

図 13



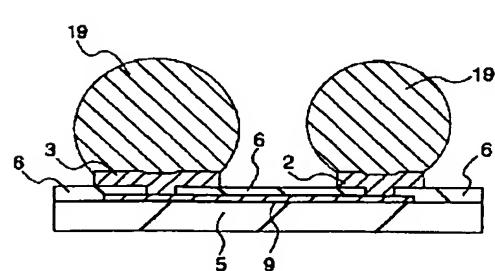
【図14】

図 14



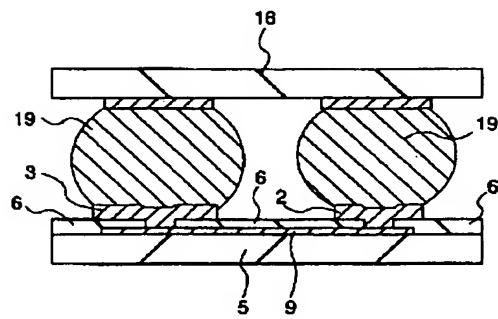
【図15】

図 15



【図16】

図 16



【図17】

図 17

